

JAPANESE [JP,2001-127289,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART TECHNICAL PROBLEM MEANS  
DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] A semiconductor device characterized by providing the following A semiconductor support substrate of the 1st conductivity type (1) Said semiconductor support substrate (1) is the semiconductor layer (4) of the 1st conductivity type with which it is formed in said semiconductor support substrate (1), extends in the depth direction from the substrate surface, and is formed a diffusion field (6) of the 2nd conductivity type where the breadth size of the direction of a normal on the surface of a substrate is larger than a horizontal breadth size in a field of arbitration parallel to the substrate surface, and on said semiconductor support substrate (1), and field bearings differ.

[Claim 2] A semiconductor device characterized by for field bearing of said semiconductor support substrate (1) being (110), and field bearing of said semiconductor layer (4) being (100) in a semiconductor device according to claim 1.

[Claim 3] A manufacture method of a semiconductor device characterized by providing the following A production process which forms a trench (5) with which a side wall became low concentration at least in a semiconductor substrate (1) of the 1st conductivity type A production process which embeds the inside of said trench (5) with a semiconductor material (14) of the 2nd conductivity type A semiconductor substrate for pasting of the 1st conductivity type which embedded a layer (17) of a specific atom in the predetermined depth (15) A production process which arranges a semiconductor layer (18) of the 1st thin conductivity type on a production process which sticks a semiconductor substrate (1) in which said trench (5) was formed, by direct cementation, and a semiconductor substrate (1) which exfoliated in an atomic buried layer (17) of said semiconductor substrate for pasting (15), and formed said trench (5) by heat-treating

[Claim 4] A manufacture method of a semiconductor device characterized by field bearings of said both substrates (1 15) stuck differing in a manufacture method of a semiconductor device according to claim 3.

[Claim 5] A manufacture method of a semiconductor device characterized by providing the following A production process which forms a trench (21) in a semiconductor substrate (20) of the 1st conductivity type A production process which is made to diffuse an impurity into said semiconductor substrate (20) from a opening of a trench (21), and reduces high impurity concentration of a trench (21) wall effectually by heat-treating in a gaseous phase containing an impurity of the 2nd conductivity type A production process which embeds the inside of said trench (21) with a semiconductor material (23) of the 2nd conductivity type A production process which arranges a semiconductor layer (24) of the 1st thin conductivity type on said semiconductor substrate (20)

[Claim 6] A semiconductor layer (24) of said semiconductor substrate (20) and 1st conductivity type is the manufacture method of a semiconductor device characterized by field bearings differing in a manufacture method of a semiconductor device according to claim 5.

[Claim 7] A manufacture method of a semiconductor device characterized by providing the following A production process which forms a trench (5) with which a side wall became low concentration at least in a semiconductor substrate (1) of the 1st conductivity type A production process which embeds the inside of said trench (5) with a semiconductor material (14) of the 2nd conductivity type A bulk single crystal semiconductor substrate of the 1st conductivity type (30) A production process which arranges a semiconductor layer (31) of the 1st thin conductivity type on a production process which sticks a semiconductor substrate (1) in which said trench (5) was formed, by direct cementation, and a semiconductor substrate (1) which thin-film-ized said bulk single crystal semiconductor substrate (30), and formed said trench (5)

[Claim 8] A semiconductor substrate (1) and a bulk single crystal semiconductor substrate (30) of said 1st conductivity type are the manufacture method of a semiconductor device characterized by field bearings differing in a manufacture method of a semiconductor device according to claim 7.

[Claim 9] A manufacture method of a semiconductor device characterized by providing the following A production process which forms a trench (5) with which a side wall became low concentration at least in a semiconductor substrate (1) of the 1st conductivity type A production process which embeds the inside of said trench (5) with a semiconductor material (14) of the 2nd conductivity type A SOI substrate with which a semiconductor layer (43) of the 1st thin conductivity type has been arranged through an insulator layer (42) on a substrate (41) (40) A production process which sticks a semiconductor substrate (1) in which said trench (5) was formed, by direct cementation, and a production process which arranges a semiconductor layer (43) of said 1st conductivity type on a semiconductor substrate (1) of said SOI substrate (40) which removed a substrate (41) at least and formed said trench (5)

[Claim 10] A semiconductor layer (43) of the 1st conductivity type of a semiconductor substrate (1) of said 1st conductivity type and said SOI substrate (40) is the manufacture method of a semiconductor device

characterized by field bearings differing in a manufacture method of a semiconductor device according to claim 9.

[Claim 11] A manufacture method of a semiconductor device characterized by providing the following A production process which forms a semiconductor layer (51) of the 2nd conductivity type on a semiconductor substrate (50) of the 1st conductivity type A production process which forms a trench (52) in said semiconductor layer (51) A production process which forms a semiconductor layer (53) of the 1st conductivity type in the upper surface of a semiconductor layer (51) of said 2nd conductivity type by continuing epitaxial growth while forming a semiconductor layer (53) of the 1st conductivity type in the interior of said trench (52) with an epitaxial grown method and embedding the interior of a trench (52) A production process which thin-film-izes a semiconductor layer (53) of the 1st conductivity type on a semiconductor layer (51) of said 2nd conductivity type

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the manufacture method of a semiconductor device and a semiconductor device.

[0002]

[Description of the Prior Art] The semiconductor device called a power device can be used for a high current drive by high pressure-proofing, and is used for vehicles, industrial devices, etc., such as an automobile. The principle of operation of current and a power device in use is an MOS gate control, and MOSFET and its IGBT are in use in almost all applicable fields. However, about MOSFET, there is a problem that the on resistance is large, especially in a field with a high resisting pressure specification of hundreds of volts or more. The on resistance of MOSFET is because a high resistance drift region is mainly determined, and this is because high pressure-proofing and on resistance generally have a trade-off relation. Then, although IGBT is used for a high resisting pressure use in many cases, although IGBT is a bipolar device therefore, it has theoretically the problem that switching speed is slow, compared with MOSFET which is an unipolar device. In each, the engine performance is approaching the theoretical limit of device structure, and serves as the condition that a new device concept is expected.

[0003] In such a condition, there is power metal-oxide semiconductor field effect transistor currently indicated by JP, 7-7154, A. The cross section is shown in drawing 20. Low resistance N<sup>+</sup> The semiconductor layer 101 is formed on a substrate 100, in this semiconductor layer 101, the P type field (body P field) 102 and the N type field (drift N field) 103 inserted into this are arranged, the high concentration P field (channel P field) 104 is formed in the upper part of the body P field 102, and the high concentration N field (source N field) 105 is arranged to that interior.

[0004] On the semiconductor layer 101, the gate electrode 107 is arranged through gate oxide 106. Moreover, N<sup>+</sup> which becomes a drain while the source electrode 108 contacts the source N field 105 and the channel P field 104. The drain electrode (illustration abbreviation) is arranged in the rear face of a substrate 100.

[0005] It is suitably designed by the specification of a device, concerning the depth, if it is 600 volts in resisting pressure specification, generally 45 micrometers or more are needed, and it is related with width of face, for example, the depth and width of face of the drift N field 103 are 1ohmmm<sup>2</sup>. In order to obtain on resistance, generally it becomes width of face of 5 micrometers or less. This device structure is announced by Siemens (Siemens) and called cool MOS (Cool MOS).

[0006] An outline is explained about the principle of operation of cool MOS. In an ON state, an electron passes through near the surface of the source N field 105 to the channel P field 104, and is introduced all over the drift N field 103. Then, an electron moves to a perpendicular lower part with the drain voltage impressed to the rear-face substrate. In order to reduce the on resistance at this time, it is required to reduce resistance of the drift N field 103, namely, as for the impurity of the drift N field 103, it is desirable that it is high concentration.

[0007] In an OFF state, the drift N field 103 and the whole body P field 102 (the surface of an element near [ i.e., ]) arranged on both sides of this were depletion-ized over the whole element surface, by distributing the voltage impressed by this depletion layer on the average, local electric-field concentration was prevented and pressure-proofing is secured. Thus, the impurity density and width of face of both the fields 102, 103 are appropriately designed so that N and the P car field 102, 103 may depletion-ize uniformly. Although it is desirable for on resistance reduction that it is high concentration as mentioned above here as for the drift N field 103, since a depletion layer is hard to be formed in a high concentration field, in order for the drift N field 103 to depletion-ize completely on the other hand, the small thing of the width of face of this field 103 is desirable.

[0008] Cool MOS is the outstanding element which can show the engine performance which transcends the conventional theoretical limit. Thus, about the manufacture method G. -- Deboy \*\* -- "A new generation of high voltage MOSFETs breaks the limit line of silicon" IEDM98 Proc. (1998) to depend It sets. In order to form the deep drift N field 103 where width of face is narrow, it is reported that several EPI, photolithography and ion implantations, and diffusion are repeated.

[0009] However, the manufacture method of cool MOS (transistor of the vertical mold which has the deep high-concentration diffusion field 103 where width of face is narrow, and passes current in the direction of a rear face from the substrate surface inside a substrate) poses a big problem in respect of a manufacturing cost in this way. For example, the case where the drift N field 103 with a depth [ of 45 micrometers ] and a width of face of 5 micrometers is formed by EPI growth is considered. As mentioned above, in a diffusion

process, when forming on the basis of the repeat of epitaxial growth, an ion implantation, and a diffusion process, since the diffusion length of a lengthwise direction and lateral diffusion length are the same, 1 time of epitaxial thickness needs to be the width of face of a drift layer, and below equivalent. Therefore, also at the lowest in the aforementioned conditions, a total of 9 times (= depth / width of face = 45/5) of photograph production processes are needed. And to the substrate production process so far, it sets at the device production process after this, and a photograph production process is gate electrode etching and P+. An ion implantation and N+ It is a total of 6 times of an ion implantation, contact etching, wiring etching, and protective coat etching (for pad exposure). That is, it will have more than the moiety of all routing counters only by the substrate manufacturing process.

[0010]

[Problem(s) to be Solved by the Invention] This invention is made by the basis of the background mentioned above, and that purpose is in offering the semiconductor device by the new configuration, and its manufacture method.

[0011]

[Means for Solving the Problem] According to a manufacture method of a semiconductor device according to claim 3, a trench with which a side wall became low concentration at least in a semiconductor substrate of the 1st conductivity type is formed. And the inside of a trench is embedded with a semiconductor material of the 2nd conductivity type. Furthermore, a semiconductor substrate for pasting of the 1st conductivity type which embedded a layer of a specific atom in the predetermined depth, and a semiconductor substrate in which a trench was formed are stuck by direct cementation. Next, by heat-treating, it exfoliates in an atomic buried layer of a semiconductor substrate for pasting, and a semiconductor layer of the 1st conductivity type thin on a semiconductor substrate in which a trench was formed is arranged.

[0012] Moreover, by manufacture method of a semiconductor device according to claim 4, field bearings of both substrates stuck shall differ in a manufacture method of a semiconductor device according to claim 3. This is desirable as technique for obtaining a semiconductor device according to claim 1.

[0013] That is, a diffusion field of the 2nd conductivity type formed in a semiconductor support substrate of the 1st conductivity type extends in the depth direction from the substrate surface, and its breadth size of the direction of a normal on the surface of a substrate is larger than a horizontal breadth size in a field of arbitration parallel to the substrate surface. Moreover, as for a semiconductor layer of the 1st conductivity type formed on a semiconductor support substrate, field bearing differs from a semiconductor support substrate. Especially, like, in a semiconductor device according to claim 1, field bearing of a semiconductor support substrate is (110), and field bearing of a semiconductor layer becomes being (100) with a desirable thing according to claim 2.

[0014] According to a manufacture method of a semiconductor device according to claim 5, a trench is formed in a semiconductor substrate of the 1st conductivity type. And by heat-treating in a gaseous phase containing an impurity of the 2nd conductivity type, an impurity is spread into a semiconductor substrate from an opening of a trench, and high impurity concentration of a trench wall decreases effectually. Furthermore, the inside of a trench is embedded with a semiconductor material of the 2nd conductivity type, and a semiconductor layer of the 1st thin conductivity type is arranged on a semiconductor substrate. Here, it becomes what has them. [ desirable / like / as technique for obtaining a semiconductor device according to claim 1 when a semiconductor substrate and a semiconductor layer of the 1st conductivity type are made into a thing according to claim 6 from which field bearing differs ]

[0015] According to a manufacture method of a semiconductor device according to claim 7, a trench with which a side wall became low concentration at least in a semiconductor substrate of the 1st conductivity type is formed. And the inside of a trench is embedded with a semiconductor material of the 2nd conductivity type. Furthermore, a bulk single crystal semiconductor substrate of the 1st conductivity type and a semiconductor substrate in which a trench was formed are stuck by direct cementation. Next, a bulk single crystal semiconductor substrate is thin-film-ized, and a semiconductor layer of the 1st conductivity type thin on a semiconductor substrate in which a trench was formed is arranged. Here, it becomes what has them. [ desirable / like / as technique for obtaining a semiconductor device according to claim 1 when a semiconductor substrate and a bulk single crystal semiconductor substrate of the 1st conductivity type are made into a thing according to claim 8 from which field bearing differs ]

[0016] According to a manufacture method of a semiconductor device according to claim 9, a trench with which a side wall became low concentration at least in a semiconductor substrate of the 1st conductivity type is formed. And the inside of a trench is embedded by semiconductor film of the 2nd conductivity type. Furthermore, a SOI substrate with which a semiconductor layer of the 1st thin conductivity type has been arranged through an insulator layer, and a semiconductor substrate in which a trench was formed are stuck by direct cementation on a substrate. Next, a semiconductor layer of the 1st conductivity type is arranged on a semiconductor substrate of a SOI substrate which a substrate was removed at least and formed a trench. Here, it becomes what has it. [ desirable / like / as technique for obtaining a semiconductor device according to claim 1 when a semiconductor layer of the 1st conductivity type of a semiconductor substrate of the 1st conductivity type and a SOI substrate is made into a thing according to claim 10 from which field bearing differs ]

[0017] According to a manufacture method of a semiconductor device according to claim 11, a semiconductor layer of the 2nd conductivity type is formed on a semiconductor substrate of the 1st conductivity type. And a trench is formed in a semiconductor layer. Furthermore, while a semiconductor layer of the 1st conductivity type is formed in the interior of a trench by epitaxial grown method and the interior of a trench is embedded, a semiconductor layer of the 1st conductivity type is formed in the upper

surface of a semiconductor layer of the 2nd conductivity type by epitaxial growth being continued. Next, a semiconductor layer of the 1st conductivity type on a semiconductor layer of the 2nd conductivity type is thin-film-ized.

[0018]

[Embodiment of the Invention] (Gestalt of the 1st operation) The gestalt of the 1st operation which materialized this invention is hereafter explained according to a drawing.

[0019] The drawing of longitudinal section of the semiconductor device in this operation gestalt is shown in drawing 1. This semiconductor device is N channel mold power metal-oxide semiconductor field effect transistor. Setting to drawing 1, the semiconductor support substrate 1 is N+. It is constituted by the mold silicon substrate 2 and the N type silicon layer 3 formed on it. The N type silicon layer 3 is formed with epitaxial growth. Moreover, on the support substrate 1 (N type silicon layer 3), the thin N type silicon layer 4 is arranged. Specifically, the thickness of the N type silicon layer 4 is 1 micrometer or less. Furthermore, as for the N type silicon layer 4 and the semiconductor support substrate 1 (a substrate 2, silicon layer 3), field bearings differ. Field bearing of the semiconductor support substrate 1 is (110), and, specifically, field bearing of the N type silicon layer 4 is (100). In addition, field bearing of the N type silicon layer 4 can also be made into the same thing as field bearing of the semiconductor support substrate 1.

[0020] A trench (slot) 5 is formed in the N type silicon layer 3, it fills up with single crystal silicon in this trench 5, and the P type diffusion field 6 extends in the depth direction from the substrate surface, and its breadth size of the direction of a normal on the surface of a substrate is larger than the horizontal breadth size in the field of arbitration parallel to the substrate surface. Moreover, this P type diffusion field 6 turns into a body P field in a transistor.

[0021] The plan in the A-A line in the N type silicon layer 3 is shown in drawing 2. In drawing 2, many body P fields 6 (trench 5) are formed in the N type silicon layer 3. This body P field 6 (trench 5) is making the shape of a cylinder.

[0022] Moreover, in drawing 1, the N type field inserted into the body P field 6 (trench 5) turns into the drift N field 7. On the support substrate 1 (N type silicon layer 3), the gate electrode 11 is formed through gate oxide 10. P+ for Vt control of a channel in the surface section of the N type silicon layer 4 which can set the gate electrode 11 caudad The mold field (channel P field) 8 is formed. Furthermore, in the surface section in the interior of the channel P field 8, it is N+. The mold field (source N field) 9 is formed. And the source electrode 12 touches the channel P field 8 and the source N field 9. Moreover, N+ The drain electrode (illustration abbreviation) is arranged on the inferior surface of tongue of the mold silicon substrate 2.

[0023] As an operation of this transistor, the maximum surface section of the channel P field 8 is reversed, a channel is formed in the ON state of a transistor, and current flows from the source to a drain electrode on the back via the drift N field 7 and high concentration N type field (2) inside a substrate. On the other hand, in an OFF state, the depletion layer extended from each PN-junction field touches mutually, and depletion-izes completely from the surface of a substrate to a considerable deep field according to the principle of cool MOS mentioned above. Thereby, high pressure-proofing can be held. If it puts in another way, concentration and a size are controlled that such high pressure-proofing should be secured.

[0024] In addition, the increase of the current capacity per unit area and a desirable thing cannot so be overemphasized that the body P field 6 and the drift N field 7 have many the numbers. Next, the manufacture method is explained using drawing 3 - drawing 5, and drawing 1.

[0025] First, as shown in drawing 3 (a), high impurity concentration is  $1 \times 10^{20} \text{--}/\text{cm}^3$ . The high concentration N type substrate 2 which is a degree is prepared. The mixture of gas of for example, silane gas and phosphine gas is used for this, and epitaxial growth only of the 45 micrometers of the N type single-crystal-silicon layers 3 is carried out to it. At this time, it is desirable to pre-use a wafer thin about 45 micrometers to the suitable thickness suited the path of the silicon wafer used in order to abolish the increment in the thickness of the substrate accompanying formation of an epitaxial layer 3.

[0026] although the high impurity concentration of this N type layer 3 is decided by width of face of a drift N field -- general --  $1 \times 10^{15} \text{--}/\text{cm}^3$  from --  $1 \times 10^{17} \text{--}/\text{cm}^3$  It is a degree. Furthermore, as shown in drawing 3 (b), after forming the about 100nm oxide film 13 in the surface of the N type single-crystal-silicon layer 3 by thermal oxidation etc. and applying a photoresist, desired field 13a is etched. Consequently, opening 13a is formed.

[0027] Furthermore, as it is shown in drawing 3 (c), using this oxide film 13 (or an oxide film and the cascade screen of a resist) as a mask material, the single-crystal-silicon layer 3 is etched and a trench (slot) 5 is formed. Etching uses the dry etching which used ICP (Inductive Coupled Plasma) etc., or the wet etching using KOH or TMAH. When using wet etching, compared with dry etching, formation of the crystal defect by the damage by etching is controlled. Furthermore, although an almost perpendicular trench (slot) can be formed using the anisotropy of etching, the side wall at the time of setting field bearing of this silicon wafer to (110), and etching it in this case, needs to consider as a field (111). Only for a nitride or a resist film, the material used as a mask is besides an oxide film. These mask materials may be removed by wet etching etc. after the trench formation by etching, or may perform the epitaxial growth production process of degree production process as it is. Drawing 3 (c) shows the case where a mask material is removed. Moreover, in order to remove the defect generated by the damage at the time of etching, you may perform, CDE (Chemical Dry Etching), the continuous process of thermal oxidation and thermal oxidation film removal, i.e., sacrifice oxidation etc., etc.

[0028] Then, as shown in drawing 4 (a), epitaxial growth of the N type single-crystal-silicon film 14 is carried out by making a silane ( $\text{SiH}_4$ ) and a dichloro silane ( $\text{SiCl}_2\text{H}_2$ ) into material gas. thickness of this

single-crystal-silicon film (epitaxial film) 14 that carried out epitaxial growth is made or more [ of the width of face of a trench 5 ] into 1/2, and it fills up with the inside of a trench 5 completely (embedded) -- it is made like. Here, by etching a opening somewhat isotropic, a taper may be attached to a opening, or temperature and gas may be changed in the middle of an epitaxial growth production process, and the method of etching only a opening similarly may be used so that restoration nature may be raised and a cavity may not be made inside.

[0029] After such an epitaxial production process, as for the non-opening field on the surface of a wafer, we are anxious about becoming silicon of the complexity of the configuration, therefore not single crystal silicon but polycrystal, or an amorphous condition near the opening, also when the mask material remains, and etching removal of the mask material is carried out of course. Then, as shown in drawing 4 (b), polishing and dry etching using technology, such as CMP (Chemical Mechanical Polishing), are performed to the semiconductor substrate surface, and the surface epitaxial film 14 is removed. In detail, it removes to the location which was the surface of the early silicon layer 3 at least.

[0030] this polishing -- for example, CMP (Chemical Mechanical Polishing) -- although law can be used, the amount of removal of the single crystal silicon by polishing is carried out to more than the thickness of the single-crystal-silicon layer 3 which grew at least. At this time, polishing beyond necessity may cause surface settlement, may decrease the depth of a drift N field and a body P field, and may decrease element pressure-proofing. In order to prevent this, it is necessary to control the amount of polishing correctly. For example, when the concentration becomes large as technique for it, acting as the monitor of the existence of for example, the Lynn element during polishing, it is possible by ending polishing to control the amount of polishing. As the monitor method of P element at this time, the difference of the polishing speed by the class of impurity may be used besides instrumental analyses, such as an element extinction method. Or in case epitaxial growth is used for restoration of the single-crystal-silicon film 14 into a trench 5, a thin oxide film is formed in the substrate upper surface which is a non-opening field, and by preventing the epitaxial growth to a this top, it may consider as the end point of polishing by using this oxide film as a stopper at the time of polishing, and you may improve the controllability of the amount of polishing. In detail, about 200nm or early substrates is oxidized thermally, and after applying a photoresist on this, the desired resist and desired oxide film of a field are removed at a photograph production process. Next, this cascade screen is filled up with the single crystal silicon which etched as mask material and grew epitaxially. At this time, single crystal silicon does not grow on an oxide film. With an oxide film and silicon, in case this surface is ground, since polishing speed differs, when an oxide film is exposed, it can work as a stopper, and the end point of polishing can be detected. Then, if HF-aqueous solution diluted, for example removes a thermal oxidation film, the level difference of only the thickness of a thermal oxidation film will arise, but this level difference is about at most 200nm, and since it is possible to carry out flattening by little polishing, the variation in the amount of polishing can be stopped.

[0031] And after such a polishing production process, as shown in drawing 4 (c), the substrate 15 which has the hydrogen storage reservoir 17 is prepared. That is, the hydrogen storage reservoir 17 is formed in the less than 1-micrometer field in the ion implantation of a hydrogen atom from the surface (the inside of drawing inferior surface of tongue) of the N type silicon substrate 15. Thus, the layer 17 of the atom (hydrogen atom) of specification [ the semiconductor substrate 15 for pasting / the predetermined depth ] is embedded, and the storage reservoir 17 of hydrogen is formed between the thick silicon layer 16 and the thin N type silicon layer 18. And this semiconductor substrate 15 (thin silicon layer 18) for pasting is stuck by direct cementation on a substrate 1. As it exfoliates by suitable heat treatment in the atomic buried layer 17 (field with built-in hydrogen) of the semiconductor substrate 15 for pasting and this is shown in drawing 5, it leaves the thin N layer 18.

[0032] It is the well-known technology called a smart cut about exfoliation by the ion implantation of the hydrogen in the substrate 15 for pasting and heat treatment which were described here. In addition, an argon, a xenon, helium, and a hydrogen content child may be used instead of hydrogen.

[0033] Thus, the N type silicon layer 18 thin on a substrate 1 is arranged. As structure at this time, while only thickness with the low-concentration N type single-crystal-silicon layer 4 equivalent to the depth of a body P field (6) is formed uniformly at the high-concentration N type silicon substrate 2 top, the body P field 6 is formed into the N type silicon layer 4 (drift N field 7), and the thin N type silicon layer 16 is further formed on this substrate 1.

[0034] Here, field bearing of both the substrates 1 and 15 to stick can be changed. In addition, although the semiconductor substrate 15 for pasting was stuck on the support substrate 1 and it left only the thin silicon layer 18 by heat treatment, instead of this, N type single crystal silicon may be formed with epitaxial growth, and this epitaxial layer may be thin-film-ized.

[0035] Then, as shown in drawing 1, while forming the channel P field 8 and the source N field 9, gate oxide 10, the gate electrode 11, and source electrode 12 grade are arranged. Consequently, N channel mold power metal-oxide semiconductor field effect transistor is completed.

[0036] Next, reference is made about the concrete size of an element, and high impurity concentration. When premised on specification with an OFF resisting pressure of 600 volts, in the basic structure shown in drawing 1, the configurations of the field (the drift N field 7 and body P field 6) of a different conductivity type are a depth of D= 45 micrometers, and a rectangle with a width of face of W= 2 micrometers, as shown in drawing 1 and 2. Moreover, as shown in drawing 2, with the plan in the wafer surface, the body P field 6 is circular. That is, the configuration of the body P field 6 has a desirable cylindrical shape without electric-field concentration in an edge portion, if it thinks from the point of the device engine performance. This is because the portion which electric field concentrate may carry out the \*\* rule of the resisting

pressure (avalanche breakdown).

[0037] Moreover, about arrangement of the body P field 6, the distance between the adjoining body P fields 6 changes greatly with directions with the structure where both directions in every direction align on a straight line mutually like drawing 2. That is, if distance to the body P field 6 in the location (four directions) of the 1st contiguity is set to  $d_1$  to the body P field 6 of a certain arbitration, the distance  $d_2$  to the body P field 6 in the locations (diagonal below etc.) of the 2nd contiguity will be set to  $\sqrt{2}d_1$ . If it puts in another way, since the width of face of the drift N field 7 is not uniform, the conditions made to form into perfect depletion are not uniform. That is, in order to make the drift N field 7 depletion-size completely, the voltage beyond necessity will be impressed between the body P fields 6 of the 1st contiguity, and it may surrender here. Therefore, in order to avoid the above troubles, it is desirable to consider as arrangement to which the gap of the adjoining body P field 6 becomes homogeneity as much as possible, for example, you may arrange so that the body P field 6 which adjoins to body P field 6a of a certain arbitration like drawing 6 may be located at the top-most vertices of a positive hexagon.

[0038] Moreover, although the body P field 6 has been explained as the shape of a cylindrical shape As mentioned above, the manufacture method of a body P field or a drift N field It is what is depended on restoration of the trench formation by etching, and its interior by epitaxial growth. Epitaxial growth If it takes into consideration about the crystallinity of the epitaxially grown film in order to be dependent on field bearing of a crystal, when crystal-face bearing will change continuously like the wall of a cylindrical shape-like opening field, the crystallinity of an epitaxial film may be confused.

[0039] Then, the field which carries out epitaxial growth may be made to become fixed field bearing, as shown in drawing 7 and 8. That is, the case where field bearings are (110) and a field (100), respectively when crystal orientation uses the wafer which is (100) is expressed. Here, it is supposed that the longitudinal direction in drawing is parallel to the orientation flat of a wafer.

[0040] Or as shown in drawing 9 and 10, the body P field 6 is good in two effects mentioned above, i.e., electric-field concentration, also as a positive hexagon in consideration of the balance of both on relaxation and the crystal disposition of an epitaxial film. Similarly, as shown in drawing 11 and 12, the body P field 6 is good also as a positive octagon. Thus, it can consider as a polygon configuration. Each of drawing 10 and drawing 12 arranges arrangement of the adjoining body P field 6 so that a contiguity gap may become uniform.

[0041] In addition, it is possible by using these configurations properly according to the purpose to give the optimal element layout. Or as shown in drawing 13, the body P field 6 may be arranged in a long and slender rectangle. In this case, a rectangular configuration is about 2 micrometers by which a length of one side is equivalent to the width of face of a opening field, and another side is several mm equivalent to the magnitude of a cel. You may make it this long side hold the reinforcement at the time of preparing and etching an about 2-micrometer non-opening field for example, into 100-micrometer gap degree as example of another here.

[0042] Or as shown in drawing 14, the body P field 6 may be leaned 45 degrees, and may be arranged. As mentioned above, when the field bearing dependency of etching (especially wet etching) or epitaxial growth is considered, it is effective to lean and arrange so that suitable field bearing may appear in a side wall.

[0043] Thus, the gestalt of this operation has the following feature.

(b) As the manufacture method of a semiconductor device, as are shown in drawing 3 (c), and the trench 5 with which the side wall became low concentration at least in the silicon substrate (semiconductor substrate of the 1st conductivity type) 1 of N type is formed and it is shown in drawing 4 (a) As the inside of a trench 5 is embedded with the P type epitaxial film (semiconductor material of the 2nd conductivity type) 14 and it is shown in drawing 4 (c) The silicon substrate (semiconductor substrate for pasting of the 1st conductivity type) 15 which embedded the layer 17 of a specific atom in the predetermined depth, and the semiconductor substrate 1 in which the trench 5 was formed are stuck by direct cementation. And as shown in drawing 5, by heat-treating, it exfoliated in the atomic buried layer 17 of a silicon substrate 15, and the thin silicon layer (semiconductor layer of the 1st conductivity type) 18 has been arranged on the substrate 1 in which the trench 5 was formed. Therefore, although many photograph production processes are needed in forming the diffusion field 102,103 of drawing 20 by EPI growth, a photograph production process is not needed in this example. Thus, a substrate production process can be improved and the cost of all production processes can be reduced. Moreover, in drawing 20, if it is going to make both correspond to 1 to 1 about the physical relationship of the gate source section which controls a channel, and the drift layer 103, to it be difficult to maintain both alignment precision in the element made detailed, it is alignment needlessness and excels in this operation gestalt at micro-processing nature.

[0044] Moreover, field bearings of both the substrates 1 and 15 stuck differ (field bearing of the silicon layer 4 on the support substrate 1 is field bearing of a substrate 1, and a difference), and field bearing of a substrate 1 is (110), and if field bearing of the silicon layer 4 is (100), specifically, the following effect will be done so. Although there is the need that field bearing uses the substrate of field (110) bearing at this time although it said also in advance that wet etching is more effective than dry etching in order to control the configuration of the trench 5 formed by etching and not to form a damage and a defect in a substrate by etching, about the membranous quality of gate oxide, or channel resistance, we are anxious about a substrate (110) being inferior compared with the usual substrate (100). On the other hand, the fault that the substrate by using wet etching (110) is inferior compared with the usual substrate (100) is cancelable by forming the gate and a source field here by using the substrate to stick as a substrate (100).

(Gestalt of the 2nd operation) Next, it explains focusing on difference with the gestalt of the 1st operation of the gestalt of the 2nd operation.



[0045] Although epitaxial growth was carried out and the N type layer (drift N field) 3 was formed on the high concentration N type substrate 2 with said 1st operation gestalt, other technique is used with this operation gestalt. First, as shown in drawing 15 (a), the high concentration N type silicon substrate 20 as a semiconductor substrate of the 1st conductivity type is etched, and a trench 21 is formed. And as shown in drawing 15 (b), it heat-treats in the gaseous phase containing P type impurity elements, such as boron (B). Thereby, a P type impurity is introduced into silicon and the concentration of the desired field 22 falls seemingly. That is, an impurity is diffused into a silicon substrate 20 from the opening of a trench 21, and the high impurity concentration of the wall of a trench 21 is reduced effectually.

[0046] The production process after this is the same as the production process mentioned above. That is, after performing flattening processing while embedding the inside of a trench 21 with P type silicon (semiconductor material of the 2nd conductivity type) 23 with an epitaxial grown method as shown in drawing 15 (c), the thin N type silicon layer (semiconductor layer of the 1st conductivity type) 24 is arranged on a silicon substrate 20.

[0047] Field bearing of a silicon substrate 20 and the N type silicon layer 24 can be changed by using the pasting method by direct cementation here. The substrate obtained by this technique can skip the epitaxial growth production process of the thick film for N type layer (drift region) formation, and it not only contributes to low cost-ization of a production process greatly, but it has the following advantages. That is, the profile of the drift N field (22) formed of this technique serves as a configuration gradually low-concentration-ized from the edge of the body P field 23, and since a depletion layer elongation-comes to be easy so that it keeps away here, in order to depletion-ize the whole drift N field as mentioned above, it does not need superfluous voltage. This does not need the arrangement which takes the top-most vertices of hexagons, such as drawing 10, but makes the layout of wiring etc. easy. Furthermore, in an etching production process, although it is desirable that it is the same field as the upper surface of a high resistance N field (member of the sign 2 of drawing 3 (c)) as for the etching depth, it is very difficult to perform this correctly, and we are anxious about etching being superfluous or running short like drawing 19 (b) like drawing 19 (a). Thus, the variation in the physical relationship of the high concentration N field 2 and a drift N field causes [ of the element engine performance ] variation. On the other hand, since both relation is determined in self align in this example in order to form a drift N field after etching, there are such no worries. (Gestalt of the 3rd operation) Next, it explains focusing on difference with the gestalt of the 1st operation of the gestalt of the 3rd operation.

[0048] As the manufacture method, the production process explained using above-mentioned drawing 3 (a), (b), (c), and drawing 4 (a) is carried out first. That is, the N type silicon layer 3 is formed on the high concentration N type silicon substrate 2, it considers as the N type silicon substrate (semiconductor substrate of the 1st conductivity type) 1, the trench 5 with which the side wall became low concentration at least in this substrate 1 is formed, the inside of a trench 5 is embedded by the P type silicon film 14, and surface flattening is performed further.

[0049] And as shown in drawing 16 (a), the bulk single crystal silicon substrate (bulk wafer) 30 as a bulk single crystal semiconductor substrate of the 1st conductivity type is prepared, and the silicon substrate (support substrate) 1 and the bulk substrate 30 in which the trench 5 was formed are stuck by direct cementation. Furthermore, as grinding and polishing are performed from the rear face of the bulk substrate 30 and it is shown in drawing 16 (b), it thin-film-izes. Thereby, the N type silicon layer 31 thin on the silicon substrate 1 in which the trench 5 was formed is arranged.

[0050] Here, field bearing of a silicon substrate 1 and the N type bulk single crystal silicon substrate 30 can be changed by using the pasting method by direct cementation. Since a special production process and a special wafer are not needed in this example, simplification of a production process is possible. (Gestalt of the 4th operation) Next, it explains focusing on difference with the gestalt of the 1st operation of the gestalt of the 4th operation.

[0051] As the manufacture method, the production process explained using above-mentioned drawing 3 (a), (b), (c), and drawing 4 (a) is carried out first. That is, the N type silicon layer 3 is formed on the high concentration N type silicon substrate 2, it considers as the N type silicon substrate (semiconductor substrate of the 1st conductivity type) 1, the trench 5 with which the side wall became low concentration at least in this substrate 1 is formed, the inside of a trench 5 is embedded by the P type silicon film 14, and surface flattening is performed further.

[0052] And as shown in drawing 17 (a), the SOI substrate 40 is prepared as a pasting substrate to join. As for the SOI substrate 40, the thin N type silicon layer (semiconductor layer of the 1st conductivity type) 43 is arranged through the oxide film 42 as an insulator layer on the silicon substrate 41. This SOI substrate 40 and the silicon substrate (support substrate) 1 in which the trench 5 was formed are stuck by direct cementation. In detail, the thin film layer 43 of the SOI substrate 40 is directly joined to the upper surface (flat side) of a silicon substrate 1.

[0053] then, grinding and polishing, or wet etching shows to drawing 17 (b) from the rear face (substrate 41 side) of the SOI substrate 40 -- as -- at least -- a substrate 41 -- removal -- it removes to the interface of the embedded oxide film 42 in detail. At this time, in order that an oxide film 42 may work as a stopper to polishing or wet etching, thickness homogeneity will become high. Thus, the N type silicon layer 43 is arranged on the silicon substrate 1 in which the trench 5 was formed.

[0054] Field bearing of the N type silicon layer 43 of a silicon substrate 1 and the N type SOI substrate 40 can be changed by using the pasting method by direct cementation also in this case. (Gestalt of the 5th operation) Next, it explains focusing on difference with the gestalt of the 1st operation of the gestalt of the 5th operation.

[0055] This example is the technique of not needing a pasting substrate. First, as shown in drawing 18 (a), the P type single-crystal-silicon layer (semiconductor layer of the 2nd conductivity type) 51 is formed with an epitaxial grown method on the high-concentration N type silicon substrate (semiconductor substrate of the 1st conductivity type) 50. And as shown in drawing 18 (b), a trench 52 is formed by etching, further, as shown in drawing 18 (c), with an epitaxial grown method, the single-crystal-silicon layer (semiconductor layer of the 1st conductivity type) 53 of N type is formed in the interior of a trench 52, and the interior of a trench 52 is embedded (filled up). At this time, continue epitaxial growth, that is, it is made to go on superfluously, and the N type silicon layer (semiconductor layer of the 1st conductivity type) 53 is formed in the upper surface of the silicon layer 51. In detail, the single crystal N type silicon layer 54 with a thickness of 1 micrometers or more is formed on the P type silicon layer 51.

[0056] In addition, in order that single crystal silicon may grow also on fields other than a trench opening, materials used as an etching mask for trench formation, such as a resist and an oxide film, are removed before an epitaxial production process.

[0057] Then, by grinding and polishing, the surface of the silicon layer 53 is thin-film-ized, as shown in drawing 18 (d). Consequently, the N type silicon layer 54 thin on the silicon layer 51 will be arranged.

[0058] You may carry out as follows besides the gestalt of each operation explained so far. Although the N channel element was mentioned as the example and has been explained until now, P and N of a conductivity type may be applied to the P channel element made into reverse.

[0059] Moreover, you may apply to the MOS thyristor and IGBT (structure which made the N layer 2 of drawing 1 the P type collector layer) other than MOSFET.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The drawing of longitudinal section of the semiconductor device in the gestalt of the 1st operation.

[Drawing 2] The cross section in the A-A line of drawing 1 .

[Drawing 3] The cross section for explaining a manufacturing process.

[Drawing 4] The cross section for explaining a manufacturing process.

[Drawing 5] The cross section for explaining a manufacturing process.

[Drawing 6] The cross section of a semiconductor device.

[Drawing 7] The cross section of a semiconductor device.

[Drawing 8] The cross section of a semiconductor device.

[Drawing 9] The cross section of a semiconductor device.

[Drawing 10] The cross section of a semiconductor device.

[Drawing 11] The cross section of a semiconductor device.

[Drawing 12] The cross section of a semiconductor device.

[Drawing 13] The cross section of a semiconductor device.

[Drawing 14] The cross section of a semiconductor device.

[Drawing 15] The cross section for explaining the manufacturing process in the gestalt of the 2nd operation.

[Drawing 16] The cross section for explaining the manufacturing process in the gestalt of the 3rd operation.

[Drawing 17] The cross section for explaining the manufacturing process in the gestalt of the 4th operation.

[Drawing 18] The cross section for explaining the manufacturing process in the gestalt of the 5th operation.

[Drawing 19] The cross section for explaining a manufacturing process.

[Drawing 20] The cross section for explaining conventional equipment.

[Description of Notations]

1 -- A semiconductor support substrate, 2 -- N+ A mold silicon substrate, 3 -- N type silicon layer, 4 [ -- P type epitaxial film, ] -- An N type silicon layer, 5 -- A trench, 6 -- A P type diffusion field, 14 15 [ -- N+ / Mold silicon substrate, ] -- The substrate for pasting, 17 -- A hydrogen storage reservoir, 18 -- An N type silicon layer, 20 21 [ -- A silicon substrate, 42 / -- An oxide film, 43 / -- A silicon layer, 50 / -- N+ / A mold silicon substrate, 51 / -- N type silicon layer. / -- A P type silicon layer, 52 -- A trench, 53 ] -- A trench, 30 -- A bulk wafer, 40 -- A SOI substrate, 41

---

[Translation done.]

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-127289  
(P2001-127289A)

(43)公開日 平成13年5月11日(2001.5.11)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームト <sup>*</sup> (参考)
H 0 1 L 29/78		H 0 1 L 21/02	B 5 F 0 5 2
21/02		21/20	
21/20		21/74	
21/74		29/78	6 5 2 H
21/336			6 5 2 C

審査請求 未請求 請求項の数11 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願平11-307657

(22)出願日 平成11年10月28日(1999. 10. 28)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 小野田 邦広

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72)発明者 山内 庄一

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(74)代理人 100068755

弁理士 恩田 博宣 (外1名)

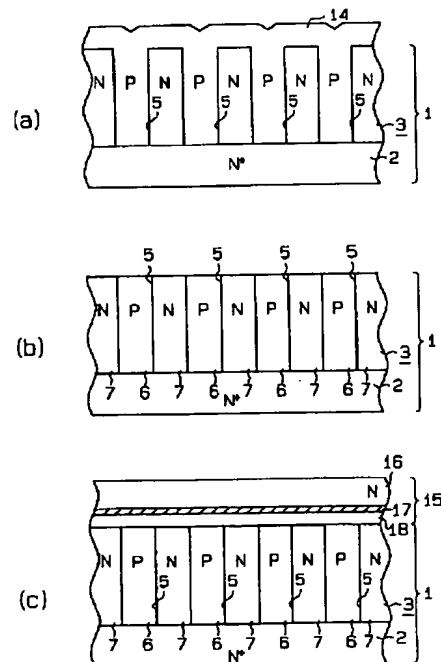
最終頁に続く

## (54)【発明の名称】 半導体装置および半導体装置の製造方法

## (57)【要約】

【課題】新規な構成による半導体装置およびその製造方法を提供する。

【解決手段】N型のシリコン基板1において少なくとも側壁が低濃度となったトレンチ5を形成し、トレンチ5内をP型エピタキシャル膜14で埋め込む。所定深さに特定の原子の層17を埋め込んだシリコン基板15と、トレンチ5を形成したシリコン基板1とを直接接合にて貼り合わせ、熱処理することによってシリコン基板15の原子埋込層17で剥離し、トレンチ5を形成した基板1の上に薄いN型シリコン層18を配置する。



## 【特許請求の範囲】

【請求項1】 第1導電型の半導体支持基板(1)と、前記半導体支持基板(1)に形成され、基板表面から深さ方向に延び、基板表面と平行な任意の面内での横広がり寸法よりも基板表面の法線方向の広がり寸法の方が大きい第2導電型の拡散領域(6)と、前記半導体支持基板(1)上に形成され、前記半導体支持基板(1)とは面方位が異なる第1導電型の半導体層(4)と、を備えたことを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記半導体支持基板(1)の面方位が(110)であり、前記半導体層(4)の面方位が(100)であることを特徴とする半導体装置。

【請求項3】 第1導電型の半導体基板(1)において少なくとも側壁が低濃度となったトレンチ(5)を形成する工程と、前記トレンチ(5)内を第2導電型の半導体材料(14)で埋め込む工程と、所定深さに特定の原子の層(17)を埋め込んだ第1導電型の貼合用半導体基板(15)と、前記トレンチ(5)を形成した半導体基板(1)とを直接接合にて貼り合わせる工程と、熱処理することによって前記貼合用半導体基板(15)の原子埋込層(17)で剥離し、前記トレンチ(5)を形成した半導体基板(1)の上に薄い第1導電型の半導体層(18)を配置する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項4】 請求項3に記載の半導体装置の製造方法において、前記貼り合わされる両基板(1、15)の面方位が異なることを特徴とする半導体装置の製造方法。

【請求項5】 第1導電型の半導体基板(20)にトレンチ(21)を形成する工程と、第2導電型の不純物を含む気相中で熱処理を行うことによってトレンチ(21)の開口部から前記半導体基板(20)中へ不純物を拡散させて実効的にトレンチ(21)内壁の不純物濃度を低減する工程と、前記トレンチ(21)内を第2導電型の半導体材料(23)で埋め込む工程と、前記半導体基板(20)の上に薄い第1導電型の半導体層(24)を配置する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項6】 請求項5に記載の半導体装置の製造方法において、前記半導体基板(20)と第1導電型の半導体層(24)とは面方位が異なることを特徴とする半導体装置の製造方法。

【請求項7】 第1導電型の半導体基板(1)において少なくとも側壁が低濃度となったトレンチ(5)を形成する工程と、

前記トレンチ(5)内を第2導電型の半導体材料(14)で埋め込む工程と、

第1導電型のバルク単結晶半導体基板(30)と、前記トレンチ(5)を形成した半導体基板(1)とを直接接合にて貼り合わせる工程と、

前記バルク単結晶半導体基板(30)を薄膜化して、前記トレンチ(5)を形成した半導体基板(1)の上に薄い第1導電型の半導体層(31)を配置する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項8】 請求項7に記載の半導体装置の製造方法において、

前記第1導電型の半導体基板(1)とバルク単結晶半導体基板(30)とは面方位が異なることを特徴とする半導体装置の製造方法。

【請求項9】 第1導電型の半導体基板(1)において少なくとも側壁が低濃度となったトレンチ(5)を形成する工程と、

前記トレンチ(5)内を第2導電型の半導体材料(14)で埋め込む工程と、

基板(41)の上に絶縁膜(42)を介して薄い第1導電型の半導体層(43)が配置されたSOI基板(40)と、前記トレンチ(5)を形成した半導体基板(1)とを直接接合にて貼り合わせる工程と、

前記SOI基板(40)の少なくとも基板(41)を除去して前記トレンチ(5)を形成した半導体基板(1)の上に前記第1導電型の半導体層(43)を配置する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項10】 請求項9に記載の半導体装置の製造方法において、

前記第1導電型の半導体基板(1)と前記SOI基板(40)の第1導電型の半導体層(43)とは面方位が異なることを特徴とする半導体装置の製造方法。

【請求項11】 第1導電型の半導体基板(50)の上に第2導電型の半導体層(51)を形成する工程と、前記半導体層(51)にトレンチ(52)を形成する工程と、

エピタキシャル成長法により前記トレンチ(52)の内部に第1導電型の半導体層(53)を形成してトレンチ(52)の内部を埋め込むとともに、エピタキシャル成長を続けることで前記第2導電型の半導体層(51)の上面に第1導電型の半導体層(53)を形成する工程と、

前記第2導電型の半導体層(51)の上の第1導電型の半導体層(53)を薄膜化する工程と、を備えたことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置および半導体装置の製造方法に関するものである。

【0002】

【従来の技術】パワーデバイスと呼ばれる半導体装置は、高耐圧で大電流駆動に用いることができ、自動車等の車両や産業機器等に使われている。現在、主流となっているパワーデバイスの動作原理は、MOSゲート制御であり、MOSFETやIGBTがほとんどの応用分野で主流となっている。しかし、MOSFETに関しては、特に数百ボルト以上の高耐圧仕様の領域では、そのオン抵抗が大きいという問題がある。これは、MOSFETのオン抵抗が、主に高抵抗ドリフト領域によって決定されるためであり、一般的に高耐圧とオン抵抗がトレードオフ関係にあるためである。そこで、高耐圧用途ではIGBTが用いられることが多いが、IGBTはバイポーラデバイスであるがゆえに、ユニポーラデバイスであるMOSFETに比べて、原理的にスイッチング速度が遅いという問題がある。それぞれにおいて、その性能はデバイス構造の理論限界に接近しており、新しいデバイスコンセプトが期待される状況となっている。

【0003】このような状況において、特開平7-7154号公報に開示されているパワーMOSFETがある。図20にはその断面模式図を示す。低抵抗N<sup>+</sup>基板100上に半導体層101が形成され、この半導体層101において、P型領域（ボディP領域）102と、これに挟まれたN型領域（ドリフトN領域）103が配置され、ボディP領域102の上部には高濃度P領域（チャンネルP領域）104が形成され、その内部に高濃度N領域（ソースN領域）105が配置されている。

【0004】半導体層101上にはゲート酸化膜106を介してゲート電極107が配置されている。また、ソースN領域105およびチャンネルP領域104にはソース電極108が接触するとともに、ドレインとなるN<sup>+</sup>基板100の裏面にはドレイン電極（図示略）が配置されている。

【0005】ドリフトN領域103の深さおよび幅は、デバイスの仕様によって適宜に設計され、深さに関しては例えば600ボルトの耐圧仕様ならば一般的に45μm以上を必要とし、幅に関しては例えば1Ωmm<sup>2</sup>のオン抵抗を得るためには一般的には5μm以下の幅となる。このデバイス構造は、シーメンス（Siemens）社によって発表されたものであり、クールMOS（Cool MOS）と呼ばれるものである。

【0006】クールMOSの動作原理について概略を説明する。オン状態において、電子はソースN領域105からチャンネルP領域104の表面付近を通過し、ドリフトN領域103中へ導入される。この後、電子は裏面基板に印加されたドレイン電圧によって、垂直下方へ移動する。この時のオン抵抗を低減するためには、ドリフトN領域103の抵抗を低減することが必要であり、すなわち、ドリフトN領域103の不純物は高濃度であることが望ましい。

【0007】オフ状態においては、ドリフトN領域103とこれを挟んで配置されているボディP領域102の全体、すなわち素子の表面近傍が素子全面にわたって空乏化され、この空乏層によって印加された電圧を平均的に分散することによって局所的な電界集中を防止し、耐圧を確保している。このようにN、P両領域102、103が一樣に空乏化するように両領域102、103の不純物密度とその幅が適切に設計されている。ここで、上述のようにオン抵抗低減のためには、ドリフトN領域103は高濃度であることが望ましいが、一方、高濃度領域では空乏層が形成されにくいいため、ドリフトN領域103が完全に空乏化するためには、この領域103の幅は小さいことが望ましい。

【0008】このようにクールMOSは、従来の理論限界を超越する性能を提示することが可能な優れた素子であり、その製造方法については、G. Deboy 氏による“A new generation of high voltage MOSFETs breaks the limit line of silicon” IEDM88 Proc. (1998年)において、深く幅の狭いドリフトN領域103を形成するために、数回のエビとフォトリソグラフィ、イオン注入、拡散を繰り返すと報告されている。

【0009】しかしながら、このようにクールMOS（基板内部に深く幅の狭い高濃度の拡散領域103を有し、基板表面より裏面方向へ電流を流す縦型のトランジスタ）の製造方法は、製造コストという点で大きな問題となる。たとえば、深さ45μm、幅5μmのドリフトN領域103をエビ成長で形成する場合を考える。上述のように、エビタキシャル成長とイオン注入、拡散プロセスの繰り返しを基本として形成する場合、拡散プロセスでは、縦方向の拡散長と横方向の拡散長が同一であるため、一回のエビタキシャル膜厚は、ドリフト層の幅と同等以下である必要がある。したがって、前記の条件においては、最低でも計9回（=深さ/幅=45/5）のフォトリソが必要となる。そして、ここまでの基板工程に対し、これ以降のデバイス工程において、フォトリソは、ゲート電極エッチング、P<sup>+</sup>イオン注入、N<sup>+</sup>イオン注入、コンタクトエッチング、配線エッチング、保護膜エッチング（パッド露出用）の計6回である。すなわち、基板製造工程のみで全工程数の半数以上を占めることとなる。

【0010】

【発明が解決しようとする課題】この発明は上述した背景のもとになされたものであり、その目的は、新規な構成による半導体装置およびその製造方法を提供することにある。

【0011】

【課題を解決するための手段】請求項3に記載の半導体装置の製造方法によれば、第1導電型の半導体基板において少なくとも側壁が低濃度となったトレンチが形成される。そして、トレンチ内が第2導電型の半導体材料で

埋め込まれる。さらに、所定深さに特定の原子の層を埋め込んだ第1導電型の貼合用半導体基板と、トレンチを形成した半導体基板とが直接接合にて貼り合わされる。次に、熱処理することによって貼合用半導体基板の原子埋込層で剥離され、トレンチを形成した半導体基板の上に薄い第1導電型の半導体層が配置される。

【0012】また、請求項4に記載の半導体装置の製造方法では、請求項3に記載の半導体装置の製造方法において、貼り合わされる両基板の面方位が異なるものとしている。これは、請求項1に記載の半導体装置を得るための手法として好ましい。

【0013】つまり、第1導電型の半導体支持基板に形成された第2導電型の拡散領域は、基板表面から深さ方向に延び、基板表面と平行な任意の面内での横広がり寸法よりも基板表面の法線方向の広がり寸法の方が大きい。また、半導体支持基板上に形成された第1導電型の半導体層は、半導体支持基板とは面方位が異なっている。特に、請求項2に記載のように、請求項1に記載の半導体装置において、半導体支持基板の面方位が(110)であり、半導体層の面方位が(100)であると好ましいものとなる。

【0014】請求項5に記載の半導体装置の製造方法によれば、第1導電型の半導体基板にトレンチが形成される。そして、第2導電型の不純物を含む気相中で熱処理を行うことによってトレンチの開口部から半導体基板中へ不純物が拡散されて実効的にトレンチ内壁の不純物濃度が低減する。さらに、トレンチ内が第2導電型の半導体材料で埋め込まれ、半導体基板の上に薄い第1導電型の半導体層が配置される。ここで、請求項6に記載のように、半導体基板と第1導電型の半導体層とは面方位が異なるものとする、請求項1に記載の半導体装置を得るための手法として好ましいものとなる。

【0015】請求項7に記載の半導体装置の製造方法によれば、第1導電型の半導体基板において少なくとも側壁が低濃度となったトレンチが形成される。そして、トレンチ内が第2導電型の半導体材料で埋め込まれる。さらに、第1導電型のバルク単結晶半導体基板と、トレンチを形成した半導体基板とが直接接合にて貼り合わされる。次に、バルク単結晶半導体基板が薄膜化されて、トレンチを形成した半導体基板の上に薄い第1導電型の半導体層が配置される。ここで、請求項8に記載のように、第1導電型の半導体基板とバルク単結晶半導体基板とは面方位が異なるものとする、請求項1に記載の半導体装置を得るための手法として好ましいものとなる。

【0016】請求項9に記載の半導体装置の製造方法によれば、第1導電型の半導体基板において少なくとも側壁が低濃度となったトレンチが形成される。そして、トレンチ内が第2導電型の半導体膜で埋め込まれる。さらに、基板上に絶縁膜を介して薄い第1導電型の半導体層が配置されたSOI基板と、トレンチを形成した半導体

基板とが直接接合にて貼り合わされる。次に、SOI基板の少なくとも基板が除去されて、トレンチを形成した半導体基板の上に第1導電型の半導体層が配置される。ここで、請求項10に記載のように、第1導電型の半導体基板とSOI基板の第1導電型の半導体層とは面方位が異なるものとする、請求項1に記載の半導体装置を得るための手法として好ましいものとなる。

【0017】請求項11に記載の半導体装置の製造方法によれば、第1導電型の半導体基板の上に第2導電型の半導体層が形成される。そして、半導体層にトレンチが形成される。さらに、エビタキシャル成長法によりトレンチの内部に第1導電型の半導体層が形成されてトレンチの内部が埋め込まれるとともに、エビタキシャル成長が続けられることで第2導電型の半導体層の上面に第1導電型の半導体層が形成される。次に、第2導電型の半導体層の上の第1導電型の半導体層が薄膜化される。

【0018】

【発明の実施の形態】(第1の実施の形態)以下、この発明を具体化した第1の実施の形態を図面に従って説明する。

【0019】図1には本実施形態における半導体装置の縦断面図を示す。この半導体装置は、Nチャネル型パワーMOSFETである。図1において、半導体支持基板1はN<sup>+</sup>型シリコン基板2と、その上に形成されたN型シリコン層3とにより構成されている。N型シリコン層3はエビタキシャル成長にて形成したものである。また、支持基板1(N型シリコン層3)の上には薄いN型シリコン層4が配置されている。具体的には、N型シリコン層4の厚さは1μm以下である。さらに、N型シリコン層4と半導体支持基板1(基板2、シリコン層3)とは面方位が異なっている。具体的には、半導体支持基板1の面方位が(110)であり、N型シリコン層4の面方位が(100)である。なお、N型シリコン層4の面方位を半導体支持基板1の面方位と同じものとすることもできる。

【0020】N型シリコン層3にはトレンチ(溝)5が形成され、このトレンチ5内に単結晶シリコンが充填され、P型拡散領域6を構成している。このP型拡散領域6は基板表面から深さ方向に延び、基板表面と平行な任意の面内での横広がり寸法よりも基板表面の法線方向の広がり寸法の方が大きい。また、このP型拡散領域6はトランジスタにおけるボディP領域となる。

【0021】N型シリコン層3におけるA-A線での平面図を図2に示す。図2において、N型シリコン層3には多数のボディP領域6(トレンチ5)が形成されている。このボディP領域6(トレンチ5)は円柱状をなしている。

【0022】また、図1において、ボディP領域6(トレンチ5)に挟まれたN型領域がドリフトN領域7となる。支持基板1(N型シリコン層3)の上には、ゲート

酸化膜10を介してゲート電極11が形成されている。ゲート電極11の下方におけるN型シリコン層4の表層部には、チャンネルのV<sub>t</sub>制御用のP<sup>+</sup>型領域(チャンネルP領域)8が形成されている。さらに、チャンネルP領域8の内部における表層部にはN<sup>+</sup>型領域(ソースN領域)9が形成されている。そして、ソース電極12がチャンネルP領域8およびソースN領域9と接触している。また、N<sup>+</sup>型シリコン基板2の下面にはドレイン電極(図示略)が配置されている。

【0023】同トランジスタの作用としては、トランジスタのオン状態においては、チャンネルP領域8の最表面部が反転してチャンネルを形成し、ソースから基板内部のドリフトN領域7及び高濃度N型領域(2)を経由して、裏面のドレイン電極へと電流が流れる。一方、オフ状態においては、それぞれのPN接合領域から伸びた空乏層が互いに接し、前述したクールMOSの原理に従って基板の表面から相当深い領域まで完全に空乏化する。これにより、高耐圧を保持することができる。換言すれば、このような高耐圧を確保すべく濃度および寸法が制御されている。

【0024】なお、ボディP領域6とドリフトN領域7はその数が多いほど単位面積当たりの電流能力が増し、好ましいことは言うまでもない。次に、製造方法を、図3～図5および図1を用いて説明する。

【0025】まず、図3(a)に示すように、例えば不純物濃度が $1 \times 10^{20} / \text{cm}^3$ 程度の高濃度なN型基板2を用意する。これに、例えばシランガスとホスフィンガスの混合気体を用いて、N型単結晶シリコン層3を45 $\mu\text{m}$ だけエピタキシャル成長させる。このとき、エピタキシャル層3の形成に伴う基板の厚さの増加を無くすべく、例えば使用するシリコンウエハの径にあった適当な厚さに対して、予め45 $\mu\text{m}$ 程度薄いウエハを用いることが望ましい。

【0026】このN型層3の不純物濃度はドリフトN領域の幅によって決まるが、一般的には $1 \times 10^{15} / \text{cm}^3$ から $1 \times 10^{17} / \text{cm}^3$ 程度である。さらに、図3(b)に示すように、N型単結晶シリコン層3の表面に熱酸化等によって100nm程度の酸化膜13を形成し、フォトレジストを塗布した後、所望の領域13aをエッチングする。その結果、開口部13aが形成される。

【0027】さらに、この酸化膜13(または酸化膜とレジストの積層膜)をマスク材料として、図3(c)に示すように、単結晶シリコン層3をエッチングしてトレンチ(溝)5を形成する。エッチングはICP(Inductive Coupled Plasma)等を用いたドライエッチング、または、KOHやTMAHを用いたウェットエッチングを使用する。ウェットエッチングを用いる場合、ドライエッチングに比べてエッチングによるダメージによる結晶欠陥の形成が抑制される。さらに、エッチングの異方性

を利用してほぼ垂直なトレンチ(溝)が形成できるが、この場合には該シリコンウエハの面方位を(110)とし、エッチングした際の側壁が(111)面とする必要がある。マスクとして用いる材料は酸化膜の他に窒化膜やレジスト膜のみでもよい。これらのマスク材料は、エッチングによるトレンチ形成後にウェットエッチング等で除去しても、そのまま次工程のエピタキシャル成長工程を行ってもよい。図3(c)はマスク材料を除去した場合を示す。また、エッチング時のダメージによって発生する欠陥を除去するためにCDE(Chemical Dry Etching)や、熱酸化および熱酸化膜除去の連続工程、すなわち犠牲酸化等を行ってもよい。

【0028】引き続き、図4(a)に示すように、例えばシラン( $\text{SiH}_4$ )やジクロルシラン( $\text{SiCl}_2\text{H}_2$ )を材料ガスとして、N型単結晶シリコン膜14をエピタキシャル成長させる。このエピタキシャル成長させた単結晶シリコン膜(エピタキシャル膜)14の厚さは、トレンチ5の幅の1/2以上とし、トレンチ5内が完全に充填される(埋め込まれる)ようにする。ここで、充填性を高めて内部に空洞ができないように、開口部を少し等方的にエッチングすることによって開口部にテーパーを付けたり、エピタキシャル成長工程の途中で温度やガスを変更して同様に開口部のみエッチングする等の方法を用いてもよい。

【0029】このようなエピタキシャル工程後に、ウエハ表面の非開口領域はマスク材料が残っている場合にはもちろんのこと、マスク材料をエッチング除去した場合にも開口部近傍ではその形状の複雑性ゆえに単結晶シリコンではなく多結晶またはアモルファス状態のシリコンとなることが懸念される。そこで、図4(b)に示すように、半導体基板表面に対しCMP(Chemical Mechanical Polishing)等の技術を用いた研磨やドライエッチングを行い、表面のエピタキシャル膜14を除去する。詳しくは、少なくとも初期のシリコン層3の表面であった位置まで除去する。

【0030】この研磨には例えばCMP(Chemical Mechanical Polishing)法を用いることができるが、研磨による単結晶シリコンの除去量は、少なくとも成長した単結晶シリコン層3の厚さ以上とする。このとき、必要以上の研磨は表面の沈下を招き、ドリフトN領域及びボディP領域の深さを減少させ、素子耐圧を減少させる可能性がある。これを防止するためには、研磨量を正確に制御する必要がある。例えば、そのための手法として研磨中に、例えばリン元素の存在をモニターしながらその濃度が大きくなった時点で研磨を終了することによって、研磨量を制御することが可能である。このときのP元素のモニター方法としては、元素吸光法等の機器分析の他に、不純物の種類による研磨速度の差を利用してもよい。または、トレンチ5内への単結晶シリコン膜14の充填にエピタキシャル成長を用いる際に、非開口領域



である基板上面に薄い酸化膜を形成し、この上へのエビタキシャル成長を防止することによって研磨時にこの酸化膜をストップとして研磨の終点とし、研磨量の制御性を向上してもよい。詳しくは、例えば初期の基板を200nm程度熱酸化し、この上にフォトレジストを塗布した後フォト工程にて所望の領域のレジストおよび酸化膜を除去する。次に、この積層膜をマスク材としてエッチングしエビタキシャル成長した単結晶シリコンで充填する。このとき、酸化膜上には単結晶シリコンは成長しない。この表面を研磨する際には酸化膜とシリコンでは研磨速度が異なるために、酸化膜が露出した時点でストップとして働き、研磨の終点を検出することができる。続いて、たとえば希釈したHF水溶液で熱酸化膜を除去すると、熱酸化膜の厚さだけの段差が生じるが、この段差はせいぜい200nm程度であり、少量の研磨によって平坦化することが可能であるため、研磨量のバラツキは抑えることが可能である。

【0031】そして、このような研磨工程後に、図4(c)に示すように、水素貯蔵層17を有する基板15を用意する。つまり、N型シリコン基板15の表面(図中では下面)から1μm以内の領域に、水素原子のイオン注入にて水素貯蔵層17が形成されている。このように、貼合用半導体基板15は、所定深さに特定の原子(水素原子)の層17が埋め込まれており、厚いシリコン層16と薄いN型シリコン層18との間に水素の貯蔵層17が形成されている。そして、この貼合用半導体基板15(薄いシリコン層18)を基板1上に直接接合にて貼り合わせる。これを適当な熱処理によって貼合用半導体基板15の原子埋込層17(水素内蔵面)で剥離し、図5に示すように薄いN層18を残す。

【0032】ここで述べた貼合用基板15での水素のイオン注入と熱処理による剥離に関してはスマートカットと呼ばれる公知の技術である。なお、水素の代わりに、アルゴン、キセノン、ヘリウム、水素分子を用いてもよい。

【0033】このようにして基板1上に薄いN型シリコン層18が配置される。この時の構造としては、高濃度のN型シリコン基板2上に低濃度のN型単結晶シリコン層4が、ボディP領域(6)の深さと同程度の厚さだけ一様に形成されるとともに、N型シリコン層4(ドリフトN領域7)の中にボディP領域6が形成され、さらに、この基板1上に薄いN型シリコン層16が形成されている。

【0034】ここで、貼り合わせる両基板1、15の面方位を異ならせることができる。なお、支持基板1に貼合用半導体基板15を貼り合わせて熱処理により薄いシリコン層18のみ残したが、これに代わり、N型単結晶シリコンをエビタキシャル成長によって成膜し、このエビタキシャル層を薄膜化してもよい。

【0035】その後、図1に示すように、チャンネルP領

域8、ソースN領域9を形成するとともに、ゲート酸化膜10、ゲート電極11、ソース電極12等を配置する。その結果、Nチャネル型パワーMOSFETが完成する。

【0036】次に、素子の具体的な寸法、不純物濃度について言及する。オフ耐圧600ボルトの仕様を前提とした場合、図1に示した基本構造において、異なる導電型の領域(ドリフトN領域7とボディP領域6)の形状は、図1、2に示すように、例えば、深さ $D=45\mu\text{m}$ 、幅 $W=2\mu\text{m}$ の長方形である。また、図2に示すように、ウエハ表面における平面図ではボディP領域6は円形である。つまり、ボディP領域6の形状はデバイス性能の点から考えれば、エッジ部分での電界集中の無い円柱形が好ましい。これは、電界が集中する部分が耐圧(アバランシェ降伏)を律則する可能性があるためである。

【0037】また、ボディP領域6の配置に関しては、図2のように互いに縦横両方向ともに一直線上に整列する構造では、隣接するボディP領域6の間の距離が方向によって大きく異なる。すなわち、ある任意のボディP領域6に対して、第1近接の位置(上下左右)にあるボディP領域6までの距離を $d_1$ とすると、第2近接(斜め右下、等)の位置にあるボディP領域6までの距離 $d_2$ は $\sqrt{2}d_1$ となる。換言すれば、ドリフトN領域7の幅が一様でないため、完全空乏化させる条件が一様でない。つまり、ドリフトN領域7を完全に空乏化させるためには、第1近接同士のボディP領域6間に必要以上の電圧が印加されることとなり、ここで降伏する可能性がある。従って、以上のような問題点を回避するために、隣接するボディP領域6の間隔ができるだけ均一になるような配置とすることが望ましく、例えば、図6のごとく、ある任意のボディP領域6aに対し、隣接するボディP領域6が正六角形の頂点に位置するように配置してもよい。

【0038】また、ボディP領域6は円柱形状として説明してきたが、上述したようにボディP領域又はドリフトN領域の製造方法は、エッチングによるトレンチ形成とエビタキシャル成長によるその内部の充填によるものであり、エビタキシャル成長は、結晶の面方位に依存するため、エビタキシャル成長した膜の結晶性について考慮すれば、円柱形状の開口領域の内壁のように結晶面方位が連続的に変化するような場合、エビタキシャル膜の結晶性が乱れる可能性がある。

【0039】そこで、図7、8に示したように、エビタキシャル成長させる面を一定の面方位となるようにしてもよい。つまり、結晶方位が(100)であるウエハを用いた場合のそれぞれ面方位が(110)、(100)面である場合を表している。ここでは、図中の左右方向がウエハのオリエンテーションフラットと平行であると

【0040】あるいは、図9、10に示したように、ボディP領域6は上述した二つの効果、すなわち電界集中を緩和およびエビタキシャル膜の結晶性向上の両者のバランスを考慮して、正六角形としてもよい。同様に、図11、12に示したように、ボディP領域6は正八角形としてもよい。このように多角形状とすることができ、図10と図12はいずれも、隣接するボディP領域6の配置を隣接間隔が一様となるように配置している。

【0041】なお、目的に応じてこれらの形状を使い分けることによって、最適な素子設計を与えることが可能である。あるいは、図13に示すように、ボディP領域6は細長い長方形に配列したものであってもよい。この場合、長方形の形状は1辺の長さが開口領域の幅に相当する2 $\mu$ m程度であり、他方はセルの大きさに相当する数mmである。ここで、別例として、この長辺は、例えば100 $\mu$ m間隔程度に2 $\mu$ m程度の非開口領域を設け、エッチングした際の強度を保持するようにしてもよい。

【0042】あるいは、図14に示すように、ボディP領域6は45度傾けて配置してもよい。前述のように、エッチング（特にウェットエッチング）やエビタキシャル成長の面方位依存性を考えた場合、適当な面方位が側壁に現れるように傾けて配列することは有効である。

【0043】このように、本実施の形態は下記の特徴を有する。

(イ) 半導体装置の製造方法として、図3(c)に示すように、N型のシリコン基板（第1導電型の半導体基板）1において少なくとも側壁が低濃度となったトレンチ5を形成し、図4(a)に示すように、トレンチ5内をP型エビタキシャル膜（第2導電型の半導体材料）14で埋め込み、図4(c)に示すように、所定深さに特定の原子の層17を埋め込んだシリコン基板（第1導電型の貼合用半導体基板）15と、トレンチ5を形成した半導体基板1とを直接接合にて貼り合わせる。そして、図5に示すように、熱処理することによってシリコン基板15の原子埋込層17で剥離し、トレンチ5を形成した基板1の上に薄いシリコン層（第1導電型の半導体層）18を配置した。よって、図20の拡散領域102、103をエビ成長で形成する場合には多くのフォトリソ工程が必要となるが、本例では、フォトリソ工程は必要としない。このように、基板工程を改善でき、全工程のコストを低減することができる。また、図20においては、チャンネルを制御するゲート・ソース部とドリフト層103の位置関係について両者を1対1に対応させようとすると、微細化された素子において両者のアライメント精度を保つことが困難であるのに対し、本実施形態では、アライメント不要であり、微細加工性に優れている。

【0044】また、貼り合わされる両基板1、15の面方位が異なり（支持基板1の上のシリコン層4の面方位が基板1の面方位と異なり）、具体的には、基板1の面

方位が(110)であり、シリコン層4の面方位が(100)であると、次の効果を奏する。エッチングによって形成するトレンチ5の形状を制御し、かつエッチングによって基板にダメージ、欠陥を形成しないためには、ドライエッチングよりもウェットエッチングが有効であることは先にも述べたが、この時、面方位が(110)面方位の基板を用いる必要があるが、ゲート酸化膜の膜質やチャンネル抵抗については、(110)基板が通常の(100)基板に比べて劣ることが懸念される。これに対し、貼り合わせる基板を(100)基板として、ここに、ゲートおよびソース領域を形成することによって、ウェットエッチングを用いることによる(110)基板が通常の(100)基板に比べて劣るという不具合を解消できる。

(第2の実施の形態) 次に、第2の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0045】前記第1の実施形態では高濃度N型基板2上にエビタキシャル成長させてN型層（ドリフトN領域）3を形成したが、本実施形態では他の手法を用いている。まず、図15(a)に示すように、第1導電型の半導体基板としての高濃度N型シリコン基板20をエッチングしてトレンチ21を形成する。そして、図15

(b)に示すように、例えばボロン(B)等のP型不純物元素を含む気相中で熱処理する。これにより、シリコン中にP型不純物が導入され、所望の領域22の濃度が見かけ上、低下する。つまり、トレンチ21の開口部からシリコン基板20中へ不純物を拡散させて実効的にトレンチ21の内壁の不純物濃度を低減する。

【0046】これ以降の工程は前述した工程と同様である。つまり、図15(c)に示すように、エビタキシャル成長法によりトレンチ21内をP型シリコン（第2導電型の半導体材料）23で埋め込むとともに、平坦化処理を施した後にシリコン基板20上に薄いN型シリコン層（第1導電型の半導体層）24を配置する。

【0047】ここで、直接接合による貼合法を用いることによりシリコン基板20とN型シリコン層24の面方位を異ならせることができる。この手法によって得られた基板は、N型層（ドリフト領域）形成のための厚膜のエビタキシャル成長工程を省略することが可能であり、工程の低コスト化に大きく寄与するだけでなく、次のような利点も有する。すなわち、本手法によって形成されたドリフトN領域（22）のプロファイルはボディP領域23の端部から徐々に低濃度化する形状となり、このようにドリフトN領域全体を空乏化するために過剰な電圧を必要としない。これは、図10等の六角形の頂点をとる配置を必要とせず、配線等のレイアウトを容易とする。更に、エッチング工程において、エッチング深さは高抵抗N領域（図3(c)の符号2の部材）の上面と同一面であることが望ましいが、これを正確に行うことは

極めて困難であり、図19(a)のように、エッチングが過剰であったり、図19(b)のように、不足したりすることが懸念される。このように高濃度N領域2とドリフトN領域の位置関係のバラツキは素子性能のバラツキ原因となる。これに対し本例では、エッチング後にドリフトN領域を形成するため、両者の関係は自己整合的に決定されるため、このような心配はない。

(第3の実施の形態)次に、第3の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0048】製造方法として、まず、前述の図3

(a)、(b)、(c)および図4(a)を用いて説明した工程を実施する。つまり、高濃度なN型シリコン基板2の上にN型シリコン層3を形成してN型シリコン基板(第1導電型の半導体基板)1とし、この基板1において少なくとも側壁が低濃度となったトレンチ5を形成し、トレンチ5内をP型シリコン膜14で埋め込み、さらに、表面の平坦化を行う。

【0049】そして、図16(a)に示すように、第1導電型のバルク単結晶半導体基板としてのバルク単結晶シリコン基板(バルクウエハ)30を用意し、トレンチ5を形成したシリコン基板(支持基板)1とバルク基板30とを直接接合にて貼り合わせる。さらに、バルク基板30の裏面より研削、研磨を行って図16(b)に示すように薄膜化する。これにより、トレンチ5を形成したシリコン基板1の上に薄いN型シリコン層31が配置される。

【0050】ここでも、直接接合による貼合法を用いることによりシリコン基板1とN型バルク単結晶シリコン基板30の面方位を異ならせることができる。本例では、特殊な工程およびウエハを必要としないため、工程の簡略化が可能である。

(第4の実施の形態)次に、第4の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0051】製造方法として、まず、前述の図3

(a)、(b)、(c)および図4(a)を用いて説明した工程を実施する。つまり、高濃度なN型シリコン基板2の上にN型シリコン層3を形成してN型シリコン基板(第1導電型の半導体基板)1とし、この基板1において少なくとも側壁が低濃度となったトレンチ5を形成し、トレンチ5内をP型シリコン膜14で埋め込み、さらに、表面の平坦化を行う。

【0052】そして、図17(a)に示すように、接合する貼合基板としてSOI基板40を用意する。SOI基板40は、シリコン基板41の上に絶縁膜としての酸化膜42を介して薄いN型シリコン層(第1導電型の半導体層)43が配置されている。このSOI基板40と、トレンチ5を形成したシリコン基板(支持基板)1とを直接接合にて貼り合わせる。詳しくは、シリコン基板1の上面(平坦面)とSOI基板40の薄膜層43を直接接合する。

【0053】引き続き、SOI基板40の裏面(基板41側)から研削・研磨またはウェットエッチングによって図17(b)に示すように、少なくとも基板41を除去、詳しくは、埋込酸化膜42の界面まで除去する。このとき、酸化膜42が研磨又はウェットエッチングに対するストップとして働くため膜厚均一性が高いものとなる。このようにして、トレンチ5を形成したシリコン基板1の上にN型シリコン層43が配置される。

【0054】この場合も、直接接合による貼合法を用いることによりシリコン基板1とN型SOI基板40のN型シリコン層43の面方位を異ならせることができる。

(第5の実施の形態)次に、第5の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0055】本例は、貼合基板を必要としない手法である。まず、図18(a)に示すように、エピタキシャル成長法により高濃度のN型シリコン基板(第1導電型の半導体基板)50上にP型単結晶シリコン層(第2導電型の半導体層)51を形成する。そして、図18(b)に示すように、エッチングにてトレンチ52を形成し、さらに、図18(c)に示すように、エピタキシャル成長法により、トレンチ52の内部にN型の単結晶シリコン層(第1導電型の半導体層)53を形成してトレンチ52の内部を埋め込む(充填する)。このとき、エピタキシャル成長を続け、つまり、過剰に進行させ、シリコン層51の上面にN型シリコン層(第1導電型の半導体層)53を形成する。詳しくは、P型シリコン層51の上に、1μm以上の厚さの単結晶N型シリコン層54を形成する。

【0056】なお、トレンチ開口部以外の領域上にも単結晶シリコンが成長するため、トレンチ形成用エッチングマスクとして使用したレジストや酸化膜等の材料はエピタキシャル工程前に除去する。

【0057】引き続き、シリコン層53の表面を研削、研磨によって、図18(d)に示すように薄膜化する。その結果、シリコン層51の上に薄いN型シリコン層54が配置されることになる。

【0058】これまで説明してきた各実施の形態以外にも下記のように実施してもよい。これまではNチャネル素子を例に挙げて説明してきたが、導電型のPとNを逆にしたPチャネル素子に適用してもよい。

【0059】また、MOSFETの他にも、MOSサイリスタやIGBT(図1のN層2をP型コレクタ層にした構造)に適用してもよい。

【図面の簡単な説明】

【図1】 第1の実施の形態における半導体装置の縦断面図。

【図2】 図1のA-A線での断面図。

【図3】 製造工程を説明するための断面図。

【図4】 製造工程を説明するための断面図。

50 【図5】 製造工程を説明するための断面図。

15

- 【図 6】 半導体装置の断面図。  
 【図 7】 半導体装置の断面図。  
 【図 8】 半導体装置の断面図。  
 【図 9】 半導体装置の断面図。  
 【図 10】 半導体装置の断面図。  
 【図 11】 半導体装置の断面図。  
 【図 12】 半導体装置の断面図。  
 【図 13】 半導体装置の断面図。  
 【図 14】 半導体装置の断面図。  
 【図 15】 第 2 の実施の形態における製造工程を説明 10  
 するための断面図。  
 【図 16】 第 3 の実施の形態における製造工程を説明  
 するための断面図。  
 【図 17】 第 4 の実施の形態における製造工程を説明  
 するための断面図。

\*

16

- \* 【図 18】 第 5 の実施の形態における製造工程を説明  
 するための断面図。

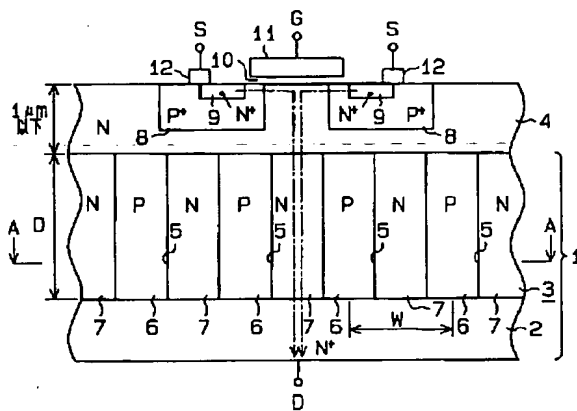
【図 19】 製造工程を説明するための断面図。

【図 20】 従来の装置を説明するための断面図。

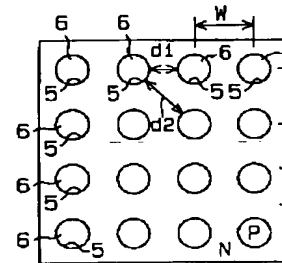
【符号の説明】

1…半導体支持基板、2…N<sup>+</sup> 型シリコン基板、3…N  
 型シリコン層、4…N型シリコン層、5…トレンチ、6  
 …P型拡散領域、14…P型エピタキシャル膜、15…  
 貼合用基板、17…水素貯蔵層、18…N型シリコン  
 層、20…N<sup>+</sup> 型シリコン基板、21…トレンチ、30  
 …バルクウエハ、40…SOI 基板、41…シリコン基  
 板、42…酸化膜、43…シリコン層、50…N<sup>+</sup> 型シ  
 リコン基板、51…P型シリコン層、52…トレンチ、  
 53…N型シリコン層。

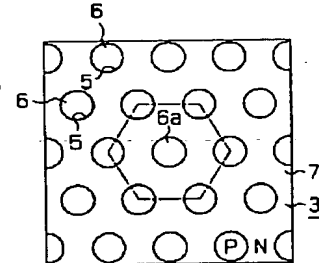
【図 1】



【図 2】

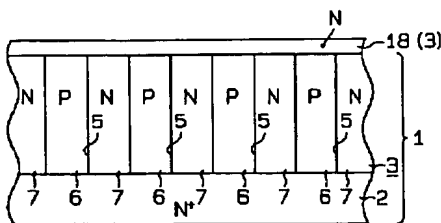


【図 6】

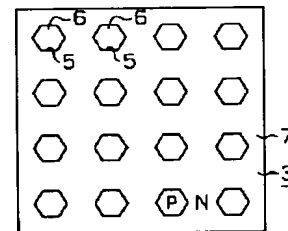
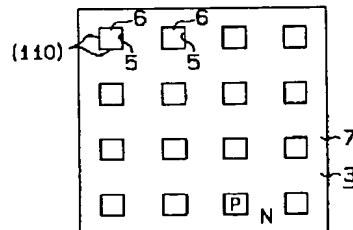


【図 9】

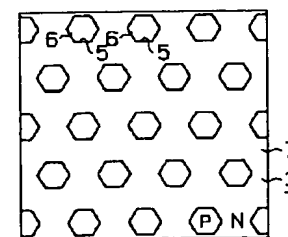
【図 5】



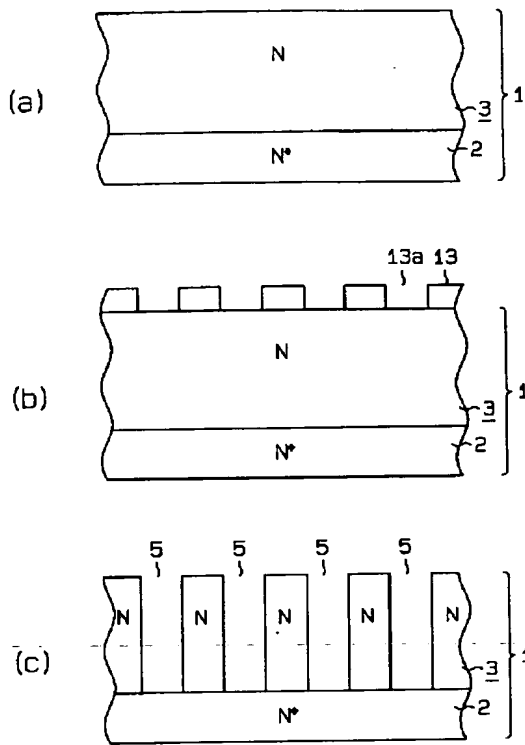
【図 7】



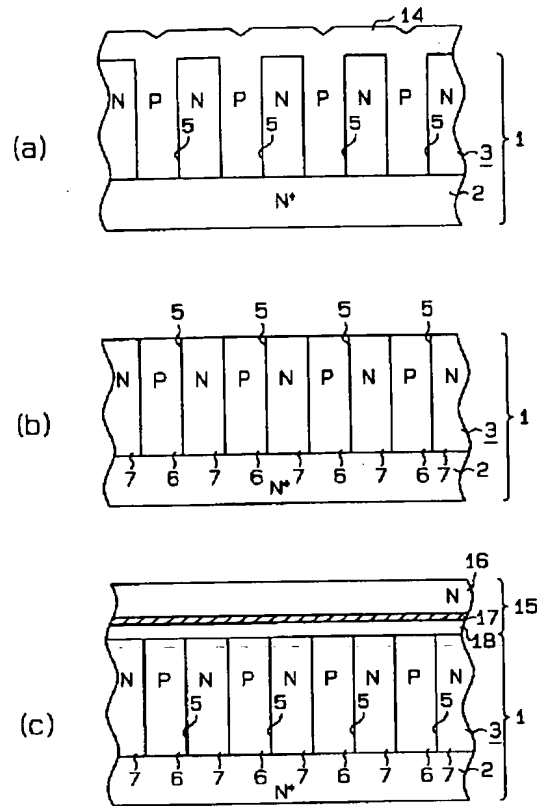
【図 10】



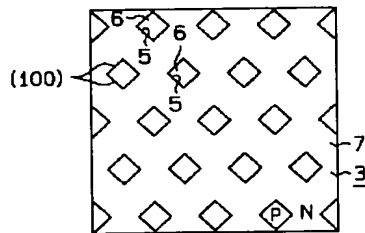
【図3】



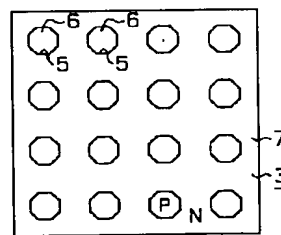
【図4】



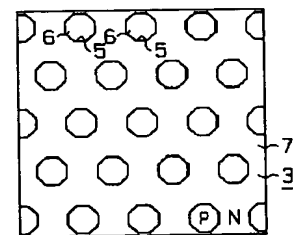
【図8】



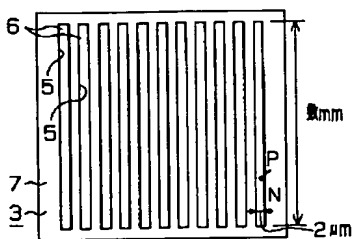
【図11】



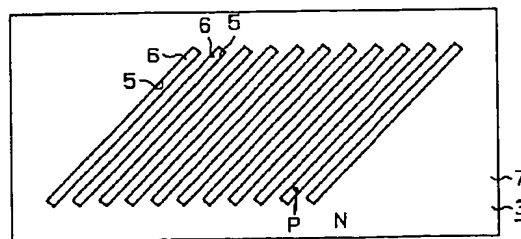
【図12】



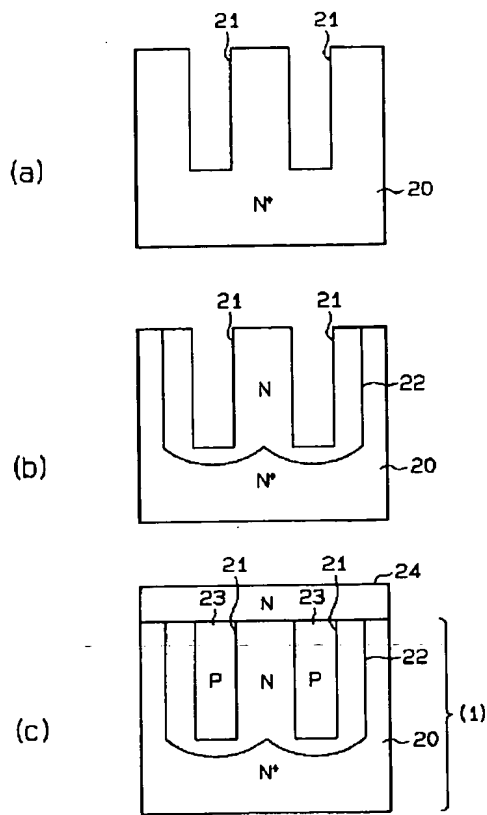
【図13】



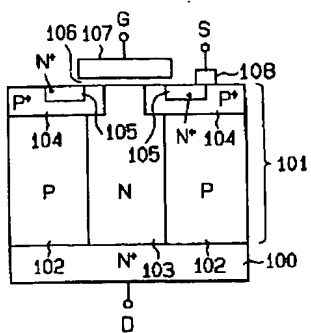
【図14】



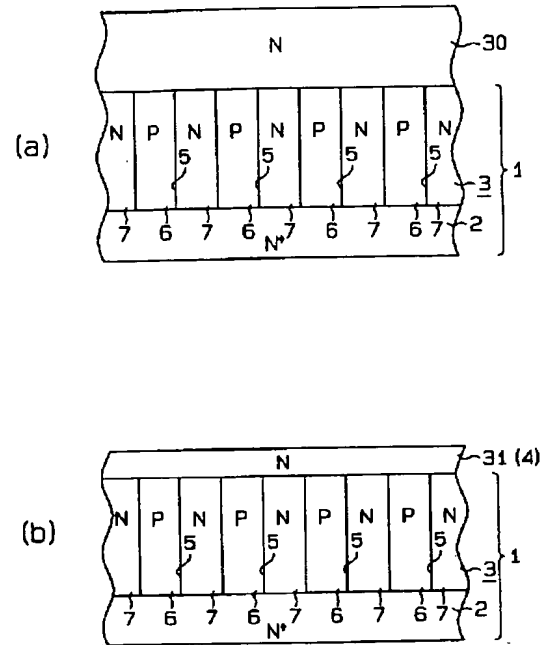
【図15】



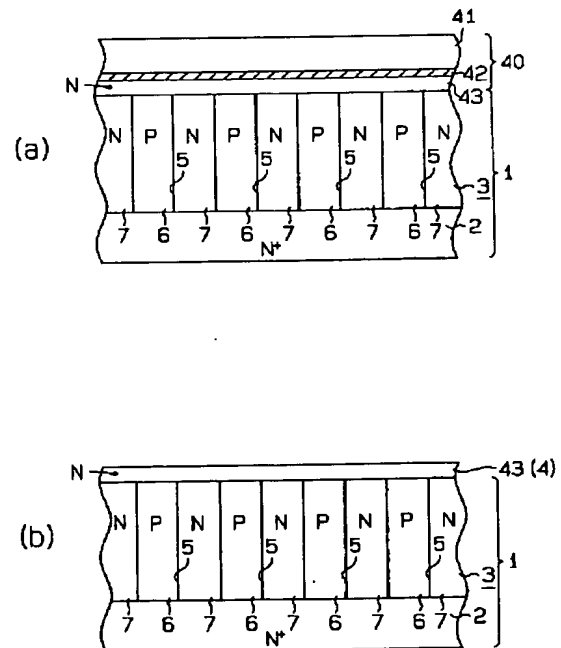
【図20】



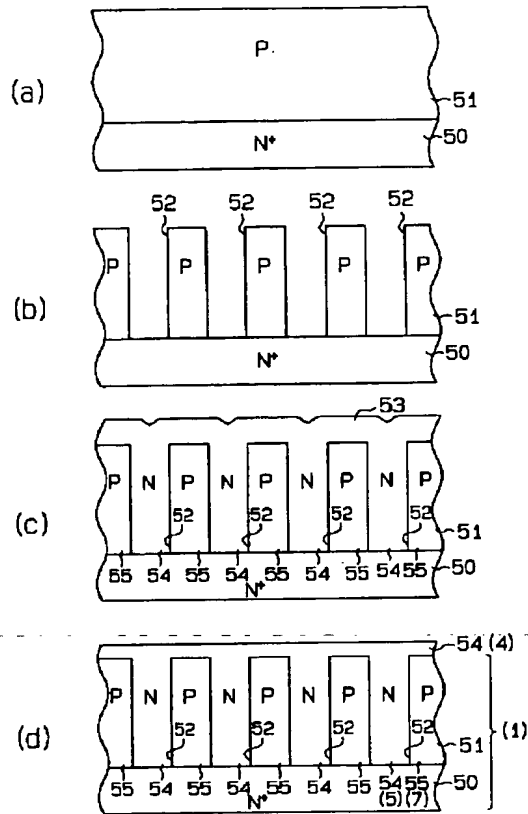
【図16】



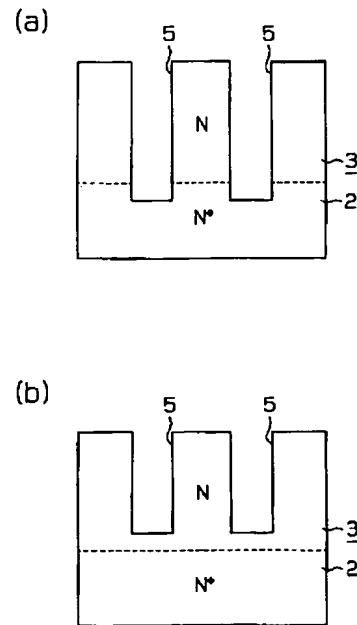
【図17】



【図18】



【図19】



フロントページの続き

(51)Int.Cl.

識別記号

F I  
H 0 1 L 29/78

テーマコード(参考)

6 5 8 E

(72)発明者 榊原 利夫  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72)発明者 山口 仁  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内  
Fターム(参考) 5F052 DA01 DB01 GC03 JA01 KB01